

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

Bibliography

(19) [Publication country] Japan Patent Office (JP)
(12) [Kind of official gazette] Open patent official report (A)
(11) [Publication No.] JP, 11-317490, A
(43) [Date of Publication] November 16, Heisei 11 (1999)
(54) [Title of the Invention] Semiconductor device loading substrate
(51) [International Patent Classification (6th Edition)]
H01L 25/00
23/12
[FI]
H01L 25/00 B
23/12 B
[Request for Examination] Un-asking.
[The number of claims] 7
[Mode of Application] OL
[Number of Pages] 11
(21) [Application number] Japanese Patent Application No. 10-294915
(22) [Filing date] October 16, Heisei 10 (1998)
(31) [Application number of the priority] Japanese Patent Application No. 9-299478
(32) [Priority date] Taira 9 (1997) October 16
(33) [Country Declaring Priority] Japan (JP)
(71) [Applicant]
[Identification Number] 000005108
[Name] Hitachi, Ltd.
[Address] 4-6, Kanda Surugadai, Chiyoda-ku, Tokyo
(72) [Inventor(s)]
[Name] Tozaki Hiromi
[Address] 1, Horiyama-shita, Hadano-shi, Kanagawa-ken Inside of the Hitachi, Ltd. general purpose computer operation division
(72) [Inventor(s)]

BEST AVAILABLE COPY

[Name] Takenaka Takatsugu

[Address] 1, Horiyama-shita, Hadano-shi, Kanagawa-ken Inside of the Hitachi, Ltd. general purpose computer operation division

(72) [Inventor(s)]

[Name] Takahashi Kazutoshi

[Address] 1, Horiyama-shita, Hadano-shi, Kanagawa-ken Inside of the Hitachi, Ltd. general purpose computer operation division

(72) [Inventor(s)]

[Name] Sengoku Rule husband

[Address] 1, Horiyama-shita, Hadano-shi, Kanagawa-ken Inside of the Hitachi, Ltd. general purpose computer operation division

(72) [Inventor(s)]

[Name] Nezu Toshitada

[Address] 1, Horiyama-shita, Hadano-shi, Kanagawa-ken Inside of the Hitachi, Ltd. general purpose computer operation division

(72) [Inventor(s)]

[Name] While seeing ****

[Address] 1, Horiyama-shita, Hadano-shi, Kanagawa-ken Inside of the Hitachi, Ltd. general purpose computer operation division

(74) [Attorney]

[Patent Attorney]

[Name] Brook Katsuo

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

Epitome

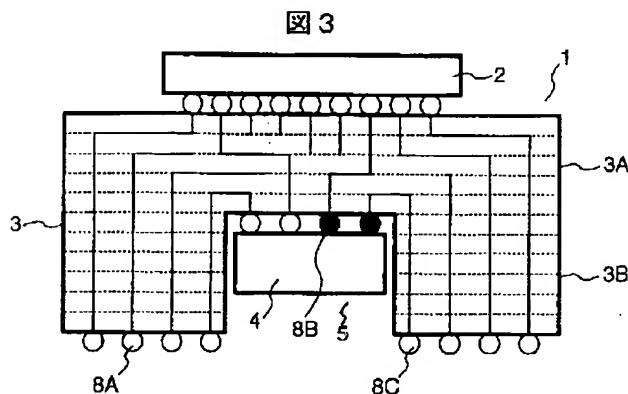
(57) [Abstract]

[Technical problem] A capacitor element is arranged in the loading field of a large-scale-integrated-circuit semiconductor device, and improvement in the speed is timed in high integration of a multilayer-

interconnection circuit plate, a miniaturization, the reduction in a noise, and a list.

[Means for Solution] A semiconductor device 2 is connected to the wiring substrate 3 which consists of low dielectric constant material of a multilayer configuration. The hollow 5 for arranging a capacitor element 4 is formed in the wiring substrate 3. The multilayer interconnection in the wiring substrate 3 consists of wiring substrates 3 so that the near terminal connected with a circuit plate may be divided into terminal-block 8C by which connection is carried out to wiring between terminal-block 8A by which connection is carried out to the signal wiring in the wiring substrate 3, terminal-block 8B by which connection is carried out to power-source wiring for a drive, and a capacitor element 4 and a circuit plate. Terminal-block 8B is arranged in the base of a hollow 5. A capacitor element 4 is arranged and connected to this hollow 5. Thereby, the semiconductor device loading substrate 1 is constituted.

[Translation done.]



[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor device loading substrate which is the semiconductor device loading substrate which consists of a wiring substrate which carries a semiconductor device and this semiconductor device, and connects a capacitor element to power-source wiring for a drive of this semiconductor device, and carries out [considering this wiring substrate as the configuration which has the space for arranging a capacitor element, prepares the terminal of power-source wiring for a drive of the semiconductor device of this wiring substrate in the field of this space, arranges a capacitor element in this space, and connects this capacitor element to this terminal, and] as the description.

[Claim 2] In a semiconductor device loading substrate according to claim 1, the 2nd terminal which connects the other end of said capacitor element is prepared in the field of said space. The terminal of the wiring substrate of this semiconductor device loading substrate by the side of the circuit plate which connects this semiconductor device loading substrate The semiconductor device loading substrate characterized by considering as the configuration divided and arranged in the terminal block connected from said 2nd terminal of this wiring substrate to wiring, and the terminal block connected to wiring for signals of the semiconductor device of this wiring substrate.

[Claim 3] The semiconductor device loading substrate characterized by considering as the configuration which divides and arranges the terminal of the wiring substrate of this semiconductor device loading substrate by the side of the circuit plate which connects this semiconductor device loading substrate in the terminal block connected to the other end of said capacitor element, and the terminal block connected to wiring for signals of the semiconductor device of this wiring substrate in a semiconductor device loading substrate according to claim 1.

[Claim 4] It connects with the wiring substrate which prepared the space for arranging a capacitor element for the terminal block of wiring for signals of a semiconductor device with which the terminal of a semiconductor device divided into the terminal block of power-source wiring for a drive of a semiconductor device, and the terminal block of wiring for signals, and has been arranged. The semiconductor device loading substrate characterized by considering as the configuration which arranges a capacitor element in this space, and connects one terminal of this capacitor element to the terminal block of the power

source for a drive of a semiconductor device, and connects the terminal block of said wiring for signals to said wiring substrate with which wiring was formed.

[Claim 5] It connects with the wiring substrate which prepared the hollow for arranging a capacitor element for the terminal block of wiring for signals of a semiconductor device with which the terminal of a semiconductor device was divided and arranged in the terminal block of power-source wiring for a drive of a semiconductor device, and the terminal block of wiring for signals. Arrange a capacitor element in this hollow, and one terminal of this capacitor element is connected to the terminal block of the power source for a drive of a semiconductor device. The semiconductor device loading substrate characterized by considering as the configuration which connects one [of this capacitor element] of other terminals to the terminal for capacitor elements prepared in the hollow, and connects the terminal block of said wiring for signals to said wiring substrate with which wiring was formed.

[Claim 6] The wiring substrate characterized by being the wiring substrate in which a semiconductor device is carried, having the terminal connected to power-source wiring for a drive in said wiring substrate, arranging [to be arranged on the base of the hollow formed in the field which counters the semiconductor device loading side or said semiconductor device loading side of said wiring substrate, and said hollow,] a capacitor element in said hollow, and connecting with said terminal.

[Claim 7] Electronic equipment containing the semiconductor device and the wiring substrate in which this semiconductor device is carried which are characterized by providing the following, and the circuit plate carrying this wiring substrate The hollow formed in the field which counters the semiconductor device loading side or said semiconductor device loading side of said wiring substrate The terminal which has been arranged on the base of said hollow and connected to power-source wiring for a drive in said wiring substrate The capacitor element which was arranged in said hollow and connected to said terminal

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device loading substrate which consists of a substrate which carries a semiconductor device and a semiconductor device and possesses a capacitor element.

[0002]

[Description of the Prior Art] In the large-scale-integrated-circuit semiconductor device (LSI) in a CMOS circuit, since many circuits are turned on and off to coincidence, the current variation as a component becomes large, and also fluctuation of transitional supply voltage increases by improvement in the speed of signal propagation, and the margin of a circuit of operation is decreased greatly.

[0003] With large progress of improvement in the speed of signal propagation of increase of a circuit degree of integration in recent years, and a circuit, the noise margin in circuit actuation decreases and it is set to the level which is easy to produce malfunction.

[0004] For this reason, making said noise absorb and preventing malfunction is performed by arranging near the LSI the capacitor element which has the capacity of about dozens of micro F from hundreds nF(s), and connecting a capacitor element to power-source wiring for an LSI drive.

[0005] And with the circuit board for a central operation of a large-sized computer, and the other circuit plates for electronic instruments So that dozens of package substrates in which dozens of LSI chips or an LSI chip was carried may be arranged on a multilayer-interconnection circuit plate and a capacitor element may be connected to power-source wiring for a drive of each LSI chip Wiring was pulled out outside the loading field of the package substrate in which the LSI chip or the LSI chip was carried, many capacitor elements and LSI chips were carried on the multilayer-interconnection circuit plate, and the capacitor element was connected to power-source wiring for a drive of an LSI chip.

[0006] The example of the multilayer-interconnection circuit plate which

carried the package substrate which carried many conventional LSI chips in drawing 8 , and the capacitor element is shown.

[0007] Many capacitor elements 4 are carried and connected to the front face of the circuit plates 9, such as a ceramic substrate of multilayer-interconnection structure, or a printed circuit board, around the loading field of the LSI chip loading substrate 10 of a large number which consist of the wiring substrate 3 in which LSI chip 2 and this were carried, and its LSI chip loading substrate 10.

[0008] And the I/O pin 11 for connecting with the large-sized circuit plate (not shown) carrying further two or more circuit plates 9 is formed in the rear face of the circuit plate 9.

[0009] the power source for a drive of a semiconductor device should pass wiring (not shown) inside a circuit plate (not shown) to the large-sized I/O pin 11 and the large-sized circuit plate 9 -- result in a capacitor element 4 and pass wiring inside the circuit plate 9 from a capacitor element 4 further -- it results in the terminal for a power-source drive of LSI chip 2.

[0010] The example of the conventional LSI chip loading substrate (package substrate) 10 is shown in drawing 9 .

[0011] An LSI chip loading substrate consists of the wiring substrate 3 which connects this with LSI chip 2, and an LSI chip is carried in the front face of a wiring substrate, and it is connected to it.

[0012] The wiring substrate 3 is for making handling easy as a carrier of an LSI chip, and securing the convenience of electric inspection of an LSI chip.

[0013] In addition, although it does not illustrate here, the cap for carrying out the hermetic seal of the LSI chip to the margin section around [front face] the wiring substrate 3 may be arranged.

[0014]

[Problem(s) to be Solved by the Invention] Thus, with the multilayer-interconnection circuit plate with which many capacitor elements are arranged outside the loading field of an LSI chip, a limitation is in the miniaturization of a circuit plate at the high integration list of a circuit plate.

[0015] Moreover, it was the circuit plate of the high frequency band exceeding hundreds of MHz, and with a circuit plate which carries the large-sized LSI chip beyond 10mm angle, the wiring distance to the terminal for connection of a capacitor element came to influence greatly as an inductor component, and there was a fault that the noise absorption effect by having connected the capacitor element was no longer acquired.

[0016] About the RF signal generated from a semiconductor device on the other hand, in order to make a signal spread at high speed, signal wiring needs to form in the wiring substrate which consists of low dielectric constant material, and to transmit a signal in such low dielectric constant material.

[0017] However, the circuit plate with which there is no consideration about filling the above-mentioned fault and a technical problem with a conventional LSI chip loading substrate and a conventional multilayer-interconnection circuit plate to coincidence, and the LSI chip loading substrate and the capacitor element were arranged was not necessarily what can be satisfied as a circuit plate for RFs.

[0018] Therefore, the purpose of this invention is offering the semiconductor device loading substrate which arranges a capacitor element in the loading field of a large-scale-integrated-circuit semiconductor device, and makes a miniaturization possible at the high integration list of a multilayer-interconnection circuit plate.

[0019] Other purposes of this invention are offering the semiconductor device loading substrate which can heighten the noise absorption effect by connection of a capacitor element.

[0020] Furthermore, other purposes of this invention are offering a semiconductor device loading substrate with possible making the RF signal of a semiconductor device spread at high speed.

[0021] Furthermore, other purposes of this invention are that the circuit plate with which a semiconductor device loading substrate is carried makes it what can be satisfied as a circuit plate for RFs.

[0022]

[Means for Solving the Problem] It is the semiconductor device loading substrate which consists of a wiring substrate which carries a semiconductor device and this semiconductor device, and connects a capacitor element to power-source wiring for a drive of this semiconductor device in this invention in order to attain the above-mentioned purpose, and this wiring substrate has the space for arranging a capacitor element, prepares the terminal of power-source wiring for a drive of the semiconductor device of this wiring substrate in the field of this space, and arranges a capacitor element in this space, and it is carrying out as the configuration which connects this capacitor element to this terminal.

[0023] Moreover, the 2nd terminal which connects the other end of said capacitor element is prepared in the field of said space, and it is considering as the configuration which divides and arranges the terminal of the wiring substrate of this semiconductor device loading substrate

by the side of the circuit plate which connects this semiconductor device loading substrate in the terminal block connected from said 2nd terminal of this wiring substrate to wiring, and the terminal block connected to wiring for signals of the semiconductor device of this wiring substrate.

[0024] Moreover, it is considering as the configuration which divides and arranges the terminal of the wiring substrate of this semiconductor device loading substrate by the side of the circuit plate which connects this semiconductor device loading substrate in the terminal block connected to the other end of said capacitor element, and the terminal block connected to wiring for signals of the semiconductor device of this wiring substrate.

[0025] Moreover, it connects with the wiring substrate which prepared the space for arranging a capacitor element for the terminal block of wiring for signals of a semiconductor device with which the terminal of a semiconductor device divided into the terminal block of power-source wiring for a drive of a semiconductor device, and the terminal block of wiring for signals, and has been arranged. It is considering as the configuration which arranges a capacitor element in this space, and connects one terminal of this capacitor element to the terminal block of the power source for a drive of a semiconductor device, and connects the terminal block of said wiring for signals to said wiring substrate with which wiring was formed.

[0026] Moreover, it connects with the wiring substrate which prepared the hollow for arranging a capacitor element for the terminal block of wiring for signals of a semiconductor device with which the terminal of a semiconductor device was divided and arranged in the terminal block of power-source wiring for a drive of a semiconductor device, and the terminal block of wiring for signals. Arrange a capacitor element in this hollow, and one terminal of this capacitor element is connected to the terminal block of the power source for a drive of a semiconductor device. It is considering as the configuration which connects one [of this capacitor element] of other terminals to the terminal for capacitor elements prepared in the hollow, and connects the terminal block of said wiring for signals to said wiring substrate with which wiring was formed.

[0027] The limitation of a miniaturization of a circuit plate in the high integration list of the circuit plate which was a problem by this with the circuit plate of the multilayer interconnection which arranges (1) capacitor element in the exterior of the loading field of a semiconductor device, (2) with a circuit plate which is a circuit plate

of the RF band exceeding hundreds of MHz, and carries the large-sized large-scale-integrated-circuit semiconductor device beyond 10mm angle. The wiring distance to the terminal for connection of a capacitor element comes to influence greatly as an inductor component. Further, about the RF signal of (3) semiconductor devices, the fault that the noise absorption effect by connection of a capacitor element is no longer acquired, and in order to make a signal spread at high speed. Signal wiring is formed in the wiring substrate which consists of low dielectric constant material, the technical problem that it is required to transmit a signal in such low dielectric constant material is solved, and the noise margin in circuit actuation can be secured.

[0028]

[Embodiment of the Invention] Hereafter, 1 operation gestalt of this invention is explained using a drawing.

[0029] <Operation gestalt 1> The cross section of 1 operation gestalt of the semiconductor device loading substrate 1 of this invention is shown in drawing 1 .

[0030] In the operation gestalt 1, the semiconductor device loading substrate 1 consists of a semiconductor device 2, a wiring substrate 3, the 2nd wiring substrate 6, and a capacitor element 4.

[0031] A semiconductor device 2 is connected to the wiring substrate 3 which consists of low dielectric constant material of a multilayer configuration.

[0032] A semiconductor device 2 includes an LSI chip, IC chip, etc. here.

[0033] The 2nd wiring substrate 6 which consists of low dielectric constant material in which the space 5 for arranging a capacitor element 4 and a capacitor element was formed is connected to this wiring substrate 3.

[0034] Moreover, it carries and connects with the circuit plate which is not illustrated the same with having been shown in drawing 8 , and the semiconductor device loading substrate 1 constitutes the circuit plate for electronic instruments. Such a circuit plate for electronic instruments is applied to a computer or various electronic equipment, and becomes a part of the configuration member.

[0035] The multilayer interconnection in the wiring substrate 3 consists of wiring substrates 3 to which a semiconductor device 2 is connected so that the near terminal to which the wiring substrate 6 of [2nd] the wiring substrates 3 is connected may be divided into terminal-block 7C by which connection is carried out to wiring between terminal-block 7A by which connection is carried out to the signal wiring in the wiring substrate 3, terminal-block 7B by which connection is carried out to

power-source wiring for a drive, and a capacitor element 4 and the 2nd wiring substrate 6. The 2nd wiring substrate 6 is connected to terminal-block 7A and a part of terminal-block 7C, and a capacitor element 4 is connected to terminal-block 7B and a part of other terminal-block 7C.

[0036] Moreover, the terminal connected to terminal-block 7A of the wiring substrate 3 and terminal-block 7C and the terminal which is connected with these terminals with wiring in the wiring substrate 6, and is connected to a circuit plate are formed in the front rear face of the 2nd wiring substrate 6.

[0037] In addition, a capacitor element 4 connects between the terminals which drawing 1 is black and were painted out, and acts as a capacitor.

[0038] Here, the wiring substrate 3 is formed of the following.

[0039] first, the case where a mullite is used as a low dielectric constant ceramic ingredient, using refractory metals, such as a tungsten or molybdenum, as wiring and a terminal ingredient -- or the mixture of glass, mullite powder, etc. containing a way silicic acid may be used as a low dielectric constant ceramic ingredient, using low resistance metals, such as copper or gold, and silver, as wiring and a terminal ingredient

[0040] About the ceramic ingredient of a low dielectric constant, for example by the approach well-known as the manufacture approach of the former to a ceramic multilayer-interconnection substrate, organic macromolecule material is mixed to ceramic powder, a solvent is mixed in a plasticizer list, and it considers as slime, and fabricates with a making machine to a ceramic green sheet.

[0041] Moreover, about the metallic material as a wiring material, for example by the approach well-known as the manufacture approach of thick film paste, it kneads and distributes at the viscous liquid which dissolved organic macromolecule material in the solvent, and considers as the metal paste suitable for screen-stencil.

[0042] According to the demand of the circuit pattern to form, a through tube is formed in a ceramic green sheet by punching or laser, and formation of the restoration (formation of beer), the wiring film to a sheet surface, or terminal film of the metal paste to a through tube is performed to it by printing of a metal paste. At this time, the terminal film for connecting a semiconductor device to the ceramic green sheet used as the maximum upper layer is formed, and the terminal film used as terminal-block 7A, terminal-block 7B, and terminal-block 7C is formed in the ceramic green sheet used as the lowest layer.

[0043] And the laminating of these ceramic green sheets is carried out, they are sintered, and the wiring substrate 3 is formed.

[0044] Moreover, the 2nd wiring substrate 6 with which space 5 was formed is formed of the following.

[0045] That is, the layered product of the ceramic green sheet with which the metal membrane pattern was formed is produced like the wiring substrate 3, and the 2nd wiring substrate 6 is formed by excising the space for arranging a capacitor element before the sintering or after sintering by laser beam machining or the grinding process using a grinding stone.

[0046] Or a metal membrane pattern is formed, the laminating of the ceramic green sheet with which the part used as space was excised beforehand is carried out, and the 2nd wiring substrate 6 is formed also by being sintered.

[0047] In addition, with the operation gestalt 1, thickness of the 2nd wiring substrate 6 is considered as the configuration thicker than the loading height of a capacitor element 4.

[0048] Moreover, although wiring in the 2nd wiring substrate 6 is considered as the configuration to which only the metal column (beer) with which the through tube formed in the ceramic green sheet was filled up was connected over the multilayer with the operation gestalt 1 so that drawing 1 may be shown, it is also possible to form in the wiring list in the wiring substrate 3 the same multilayer interconnection as the wiring substrate 3 shown in drawing 1 by arrangement of the terminal of a circuit plate.

[0049] Next, the example of an assembly of the semiconductor device loading substrate 1 is explained.

[0050] As for the semiconductor device loading substrate 1, a semiconductor device 2, the wiring substrate 3, the 2nd wiring substrate 6, and a capacitor element 4 are connected by 3 hierarchy organization. And the semiconductor device loading substrate 1 is carried and connected to the circuit plate which finally is not illustrated. Then, in each hierarchy's assembly, it becomes important to use the solder ingredient with which the melting points differ.

[0051] First, solder is supplied to the terminal blocks 7A, 7B, and 7C of the wiring substrate 3, a capacitor element 4 is carried, subsequently, the 2nd wiring substrate 6 with which the space 5 for a capacitor element 4 was formed is carried, these are heated, and the wiring substrate 3, a capacitor element 4, and the 2nd wiring substrate 6 are connected.

[0052] Then, solder is supplied to the terminal block by the side of the semiconductor device 2 of the wiring substrate 3, a semiconductor device is carried and heated, and a semiconductor device 2 is connected to the

front face of the wiring substrate 3.

[0053] Furthermore, solder is supplied to the terminal of the circuit plate which is not illustrated, the semiconductor device loading substrate 1 is carried and heated, and the semiconductor device loading substrate 1 is connected to a circuit plate.

[0054] Thus, with the produced equipment, the power source for a drive of a semiconductor device results [from a circuit plate] in a semiconductor device 2 through the several mm wiring path of the wiring substrate 3 via a capacitor element 4 through the 2nd wiring substrate 6 and the wiring substrate 3 further.

[0055] Moreover, the RF signal generated from a semiconductor device 2 results in a circuit plate through the wiring substrate 3 and the 2nd wiring substrate 6.

[0056] Thus, since a capacitor element is arranged in the interior of the semiconductor device loading substrate 1, there is no need of establishing the field in which a capacitor element is carried like the conventional circuit plate in the loading field exterior of a loading substrate, and a miniaturization becomes possible at the high integration list of a circuit plate.

[0057] Moreover, since wiring for connecting a capacitor element is formed in the wiring substrate 3 and it is not necessary to pull out wiring outside the loading field of a loading substrate like before, wiring distance can be shortened, therefore it is lost that wiring distance influences as an inductor component, and the noise absorption effect by the capacitor element is fully acquired.

[0058] Moreover, since it is transmitted by the signal wiring of the wiring substrate [which consists of low dielectric constant material] 3, and wiring substrate of ** 2nd 6 interior, the RF signal generated from a semiconductor device 2 can be made to spread at high speed.

[0059] Thereby, the noise margin in circuit actuation is securable.

[0060] <Operation gestalt 2> The cross section of other operation gestalten of the semiconductor device loading substrate 1 of this invention is shown in drawing 2 .

[0061] The semiconductor device loading substrate 1 of the operation gestalt 2 is constituted like the semiconductor device loading substrate 1 of the operation gestalt 1, as shown in drawing 2 .

[0062] The multilayer interconnection in the wiring substrate 3 consists of wiring substrates 3 in the operation gestalt 2 so that the near terminal to which the wiring substrate 6 of [2nd] the wiring substrates 3 is connected may be divided into terminal-block 7A by which connection is carried out to the signal wiring in the wiring substrate 3,

and terminal-block 7B by which connection is carried out to power-source wiring for a drive.

[0063] The 2nd wiring substrate 6 is connected to terminal-block 7A by which connection is carried out to signal wiring, and a capacitor element 4 is connected to terminal-block 7B by which connection is carried out to the power source for a drive.

[0064] Terminal 8A and terminal 8C are arranged in the side connected to a circuit plate among the 2nd wiring substrate 6 and a capacitor element 4, respectively.

[0065] Although the 2nd wiring substrate 6 is formed in the wiring substrate 3 list of the operation gestalt 2 like the operation gestalt 1, respectively, the terminal arranged in wiring substrate 3 list by the 2nd wiring substrate 6 differs from the operation gestalt 1, as described above.

[0066] That is, the terminal by the side of the rear face of the wiring substrate 3 is divided and arranged in terminal-block 7A and terminal-block 7B, and only the terminal block linked to terminal-block 7A is arranged in the wiring substrate 3 side of the 2nd wiring substrate 6.

[0067] Moreover, a terminal is arranged in the 2nd page (front rear face) which a capacitor element 4 faces, respectively, and the terminal of one field is connected to the wiring substrate 3.

[0068] Furthermore, with the operation gestalt 2, the thickness of the 2nd wiring substrate 6 is the same about with the loading height of a capacitor element 4, and in case it is carried in the circuit plate which the semiconductor device loading substrate 1 does not illustrate, while terminal 8A of the 2nd wiring substrate 6 is connected to a circuit plate, terminal 8C of a capacitor element 4 is also connected to a circuit plate. A capacitor element 4 connects between the terminals which drawing 2 is black and were painted out, and acts as a capacitor.

[0069] In addition, the assembly of the semiconductor device loading substrate 1 in the operation gestalt 2 is performed like the operation gestalt 1.

[0070] in the operation gestalt 2, the power source for a drive of a semiconductor device should pass a direct capacitor element from the circuit plate which is not illustrated -- the several mm wiring path of the wiring substrate 3 -- a passage -- a semiconductor device 2 -- resulting .

[0071] Moreover, the RF signal generated from a semiconductor device results in wiring substrate 3 list through the 2nd wiring substrate 6 at a circuit plate.

[0072] <Operation gestalt 3> The cross section of other operation

gestalten of the semiconductor device loading substrate 1 of this invention is shown in drawing 3 .

[0073] It connects with the wiring substrate 3 with which a semiconductor device 2 consists of low dielectric constant material of a multilayer configuration in the semiconductor device loading substrate 1 of the operation gestalt 3.

[0074] The hollow (crevice) 5 for arranging a capacitor element 4 is formed in the wiring substrate 3. A capacitor element 4 is arranged and connected to this hollow 5.

[0075] And it carries and connects with the circuit plate which is not illustrated, and the semiconductor device loading substrate 1 constitutes the circuit plate for electronic instruments. Such a circuit plate for electronic instruments is applied to a computer or various electronic equipment, and becomes a part of the configuration member. .

[0076] The multilayer interconnection in the wiring substrate 3 consists of wiring substrates 3 of the operation gestalt 3 so that the near terminal connected with the circuit plate of the wiring substrates 3 may be divided into terminal-block 8C by which connection is carried out to wiring between terminal-block 8A by which connection is carried out to the signal wiring in the wiring substrate 3, terminal-block 8B by which connection is carried out to power-source wiring for a drive, and a capacitor element 4 and a circuit plate. Terminal-block 8B is arranged in the bottom (exposure) side in a hollow 5 (connection side with a capacitor element 4).

[0077] A capacitor element 4 is connected to a part of terminal-block 8B and terminal-block 8C, and a part of terminal-block 8A and other terminal-block 8C are connected to a circuit plate (not shown). A capacitor element 4 connects between the terminals which drawing 3 is black and were painted out, and acts as a capacitor.

[0078] The wiring substrate 3 with which the hollow 5 for arranging a capacitor element 4 was formed is formed of the following.

[0079] first, the case where a mullite is used as a low dielectric constant ceramic ingredient, using refractory metals, such as a tungsten or molybdenum, as wiring and a terminal ingredient -- or the mixture of glass, mullite powder, etc. containing a way silicic acid may be used as a low dielectric constant ceramic ingredient, using low resistance metals, such as copper or gold, and silver, as wiring and a terminal ingredient

[0080] About the ceramic ingredient of a low dielectric constant, for example by the approach well-known as the manufacture approach of the former to a ceramic multilayer-interconnection substrate, organic

macromolecule material is mixed to ceramic powder, a solvent is mixed in a plasticizer list, and it considers as slime, and fabricates with a making machine to a ceramic green sheet.

[0081] Moreover, about the metallic material as a wiring material, for example by the approach well-known as the manufacture approach of thick film paste, it kneads and distributes at the viscous liquid which dissolved organic macromolecule material in the solvent, and considers as the paste suitable for screen-stencil.

[0082] According to the demand of the circuit pattern to form, a through tube is formed in a ceramic green sheet by punching or laser, and formation of the restoration (formation of beer), the wiring film to a sheet surface, or terminal film of the metal paste to a through tube is performed to it by printing of a metal paste. At this time, the terminal film which becomes terminal-block 8B and a part of terminal-block 8C is formed in the ceramic green sheet of a layer exposed in a hollow 5, and the terminal film used as terminal-block 8A and terminal-block 8C is formed in the ceramic green sheet of a layer connected to a circuit plate.

[0083] And about multilayer configuration section 3A to the layer to which a capacitor element 4 is connected from the layer in which a semiconductor device 2 is carried, the laminating of the prepared ceramic green sheet is carried out as it is. Moreover, in multilayer configuration section 3B equipped with the hollow 5 for arranging the capacitor element 4 of the side connected to a circuit plate, the laminating of the ceramic green sheet with which the part which hits a hollow was excised beforehand is carried out. The laminating of multilayer configuration section 3A and the multilayer configuration section 3B is carried out, they are sintered, and the wiring substrate 3 is formed.

[0084] In addition, with the operation gestalt 3, the depth of the hollow 5 of the wiring substrate 3 is considered as the configuration deeper than the loading height of a capacitor element 4.

[0085] Next, the example of an assembly of the semiconductor device loading substrate 1 in the operation gestalt 3 is explained.

[0086] The wiring substrate 3 is placed so that the hollow 5 of the wiring substrate 3 may become upward, solder is supplied to the terminal block of the base of a hollow 5 for example, by the dispenser method, or solder is supplied to the terminal of a capacitor element 4, it becomes depressed, a capacitor element 4 is arranged and heated in five, and a capacitor element 4 is connected to the wiring substrate 3.

[0087] Subsequently, solder is supplied, and a semiconductor device 2 is

carried and it connects with the terminal for semiconductor device connection of the wiring substrate 3.

[0088] Furthermore, solder is supplied to the terminal of the circuit plate which is not illustrated, the semiconductor device loading substrate 1 is carried and heated, and it connects with a circuit plate.

[0089] Thus, with the produced equipment, the power source for a drive of a semiconductor device results [from a circuit plate] in a semiconductor device 2 through several mm wiring of the wiring substrate 3 via the wiring substrate 3 and a capacitor element 4 further. Moreover, the RF signal generated from a semiconductor device 2 results in a circuit plate through the wiring substrate 3.

[0090] <Operation gestalt 4> The cross section of other operation gestalten of the semiconductor device loading substrate 1 of this invention is shown in drawing 4 .

[0091] The semiconductor device loading substrate 1 of the operation gestalt 4 is constituted like the semiconductor device loading substrate 1 of the operation gestalt 3, as shown in drawing 4 .

[0092] The multilayer interconnection in the wiring substrate 3 consists of wiring substrates 3 in the operation gestalt 4 so that the near terminal connected with the circuit plate which is not illustrated of the wiring substrates 3 may be divided into terminal-block 8A by which connection is carried out to the signal wiring in a wiring substrate, and terminal-block 8B by which connection is carried out to power-source wiring for a drive. Terminal-block 8B is arranged in the exposure in a hollow 5. A capacitor element 4 is connected to terminal-block 8B.

[0093] Although the wiring substrate 3 of the operation gestalt 4 is formed like the operation gestalt 3, the terminal arranged as mentioned above differs from the operation gestalt 3.

[0094] Moreover, with the operation gestalt 4, a terminal is arranged in the 2nd page (front rear face) which a capacitor element 4 faces, respectively, and the terminal of one field is connected to the wiring substrate 3.

[0095] Moreover, with the operation gestalt 4, in case it is carried in the circuit plate which the semiconductor device loading substrate 1 does not illustrate, while the depth of the hollow 5 of the wiring substrate 3 is the same as the loading height of a capacitor element 4 about, and terminal-block 8A of the wiring substrate 3 is connected to a circuit plate, terminal-block 8C arranged by the capacitor element 4 is also connected to a circuit plate. A capacitor element 4 connects between the terminals which drawing 4 is black and were painted out, and acts as a capacitor.

[0096] In addition, the assembly of the semiconductor device loading substrate 1 in the operation gestalt 4 is performed like the operation gestalt 3.

[0097] in the operation gestalt 4, the power source for a drive of a semiconductor device should pass a direct capacitor element from the circuit plate which is not illustrated -- the several mm wiring path of the wiring substrate 3 -- a passage -- a semiconductor device 2 -- resulting .

[0098] Moreover, the RF signal generated from a semiconductor device results in a circuit plate through the wiring substrate 3.

[0099] <Operation gestalt 5> The cross section of other operation gestalten of the semiconductor device loading substrate 1 of this invention is shown in drawing 5 .

[0100] The semiconductor device loading substrate 1 of the operation gestalt 5 is constituted like the semiconductor device loading substrate 1 of the operation gestalt 3, as shown in drawing 5 .

[0101] Moreover, a multilayer interconnection is constituted like [the wiring substrate 3 of the operation gestalt 5] the wiring substrate 3 in the operation gestalt 3, and a terminal block 8 is arranged.

[0102] However, it was not arranged, but the beer 12 of a larger path than the usual diameter of beer in the wiring substrate 3 was instead formed in the layer, and the terminal block is exposed to a base (connection side) in the connection side with the capacitor element 4 of the layer exposed in a hollow 5. And the direct capacitor element 4 is connected to the beer 12 of these major diameters.

[0103] Formation of such a wiring substrate 3 is explained below. However, the wiring substrate 3 in the operation gestalt 3, and since it is especially formed almost like the multilayer configuration section 3A, the same part omits explanation and the wiring substrate 3 of this operation gestalt explains a mainly different point from the operation gestalt 3.

[0104] First, a ceramic green sheet and a metal paste are prepared like the operation gestalt 3, and formation of formation and the wiring film of the beer to a sheet, or the terminal film is performed. At this time, the wiring film or the terminal film is not formed in the ceramic green sheet equivalent to the layer to which a capacitor element 4 is connected, but the beer of a path bigger about about 1.5 to 3 times than the diameter of beer in the ceramic green sheet of other layers is formed in it.

[0105] And the laminating of these ceramic green sheets is carried out, they are sintered, and a wiring substrate is formed.

[0106] Then, it becomes depressed in a wiring substrate and 5 is formed.
[0107] About formation of a hollow 5, with the operation gestalt 3, the laminating and sintering of the ceramic green sheet with which the part used as the space for arranging a capacitor element 4 beforehand was excised are carried out, it becomes depressed, and 5 is formed, for example. On the other hand, after the wiring substrate which the laminating of the ceramic green sheet with which beer and the wiring film, or the terminal film was formed is carried out, it is sintered with the operation gestalt 5, and does not have a hollow is formed, from the surface layer of the wiring substrate of a part with which a capacitor element 4 should be arranged to the layer to which a capacitor element 4 is connected is excised by laser beam machining or the grinding process which used the grinding stone, and a hollow 5 is formed. At this time, the layer used as a connection side with a capacitor element 4 is exposed to the bottom of a hollow 5.

[0108] The configurations of the layer to which the capacitor element 4 in the wiring substrate 3 is connected by the difference in such a method of formation of a hollow 5 differ with the operation gestalt 5 and the operation gestalt 3.

[0109] That is, when it becomes depressed like the operation gestalt 3 and 5 is formed, it is possible to form the terminal film for component connection in the ceramic green sheet front face of the layer to which a capacitor element 4 is connected beforehand. However, since the ceramic green sheet front face of the layer to which a capacitor element 4 is connected may also be deleted by a grinding process etc. when the part which serves as a hollow after wiring substrate formation like the operation gestalt 5 is excised, it becomes depressed and 5 is formed, the terminal film for component connection cannot be formed. Of course, although it is also possible to process it so that grinding of the formed terminal film may not be carried out, strict control of the processing depth etc. will be required, control will become very difficult, and cost will increase.

[0110] Therefore, the terminal to which a capacitor element 4 is connected becomes beer 12 itself formed in the ceramic green sheet of the layer.

[0111] However, it is necessary to also micrify the diameter of beer of the wiring substrate 3 with progress of the densification of the semiconductor device carried in a substrate, and the formation of many pins. In order to connect a capacitor element to this micrified beer certainly, positioning at the time of component loading etc. must be performed correctly, loading becomes difficult, and there is a problem

in the viewpoint of the ease of loading.

[0112] Moreover, in order to connect beer, the path of a terminal can also be enlarged by enlarging the path of the pad formed in a ceramic green sheet, but while dimension dispersion at the time of substrate sintering influences greatly, the processing depth must be strictly controlled even to the pad like the above, control is difficult and cost increases.

[0113] So, with the operation gestalt 5, the layer to which a capacitor element 4 is connected makes it possible to enlarge the diameter of beer as structure where neither the wiring film nor the terminal film is formed, but only beer 12 is formed as mentioned above. Thereby, at the time of formation of a hollow 5, strict control of the processing depth is not needed but it becomes easy to form it.

[0114] Next, about the assembly of the semiconductor device loading substrate 1 in the operation gestalt 5, it is carried out almost like the operation gestalt 3. However, with the operation gestalt 5, direct continuation of the terminal of a capacitor element 4 is carried out to the beer 12 of the base of the hollow 5 of the wiring substrate 3 with solder. At this time, the path of beer 12 can position and carry a component easily according to a large thing.

[0115] <Operation gestalt 6> The cross section of other operation gestalten of the semiconductor device loading substrate 1 of this invention is shown in drawing 6 .

[0116] In the semiconductor device loading substrate 1 of the operation gestalt 6, the terminal of a semiconductor device 2 is divided into the terminal block for accepting the power source for a drive, and the terminal block for I/O of a signal, and is arranged. The terminal block for the signals of this semiconductor device 2 is connected to the wiring substrate 3 which consists of low dielectric constant material of a multilayer configuration.

[0117] The space 5 for arranging a capacitor element 4 is formed in the wiring substrate 3. A capacitor element 4 is arranged in this space 5, and is connected to the terminal block for the power sources for a drive of the direct semiconductor device 4.

[0118] It carries and connects with the circuit plate which is not illustrated further, and the semiconductor device loading substrate 1 constitutes the circuit plate for electronic instruments. Such a circuit plate for electronic instruments is applied to a computer or various electronic equipment, and becomes a part of the configuration member. .

[0119] In the wiring substrate 3 of the operation gestalt 6, terminal-block 8A by which connection is carried out to this signal wiring is

arranged in the side which signal wiring is constituted inside and connected to a circuit plate.

[0120] As this wiring substrate 3, what was formed like the 2nd wiring substrate 6 in the operation gestalt 1 may be used, or what formed wiring and a terminal by copper foil or the copper-plating film can also be used for the plastic resin of a low dielectric constant, for example.

[0121] Moreover, with the operation gestalt 6, a terminal is arranged in the 2nd page (front rear face) which a capacitor element 4 faces, respectively, and the terminal of one field is connected to a semiconductor device 2.

[0122] Furthermore, with the operation gestalt 6, in case it is carried in the circuit plate which the semiconductor device loading substrate 1 does not illustrate, while the thickness of the wiring substrate 3 is the same as the loading height of a capacitor element 4 about, and terminal-block 8A of the wiring substrate 3 is connected to a circuit plate, terminal 8C arranged in the field by the side of the circuit plate of a capacitor element 4 is also connected to a circuit plate.

[0123] Next, the example of an assembly of the semiconductor device loading substrate 1 in the operation gestalt 6 is explained.

[0124] Here, **** for assemblies which is not illustrated is used.

[0125] On the surface of ****, the terminal block is arranged like the loading side top of the circuit plate with which the semiconductor device loading substrate 1 is finally carried.

[0126] Solder is supplied to the terminal block on this ****, the wiring substrate 3 is carried in a position at capacitor element 4 list, these are heated, and temporary connection of a capacitor element 4 and the wiring substrate 3 is made at ****.

[0127] Subsequently, solder is supplied to the terminal of the top face of the wiring substrate 3 and a capacitor element 4, a semiconductor device 2 is carried on these, these are heated, and a capacitor element 4, and the wiring substrate 3 and a semiconductor device 2 are connected.

[0128] And the whole is heated again, the solder between ****, a capacitor element 4, and the wiring substrate 3 is fused, **** is removed, and the semiconductor device loading substrate 1 is produced.

[0129] In the operation gestalt 6, the power source for a drive of a semiconductor device results [from the circuit plate which is not illustrated] in a semiconductor device 2 through the direct capacitor element 4.

[0130] Moreover, the RF signal generated from a semiconductor device 2 results in a circuit plate through the wiring substrate 3.

[0131] <Operation gestalt 7> The cross section of other operation

gestalten of the semiconductor device loading substrate 1 of this invention is shown in drawing 7 .

[0132] In the semiconductor device loading substrate 1 of the operation gestalt 7, like the operation gestalt 6, the terminal of a semiconductor device 2 is divided into the terminal block for accepting the power source for a drive, and the terminal block for I/O of a signal, and is arranged. The terminal block for signal I/O of a semiconductor device 2 is connected to the wiring substrate 3 which consists of low dielectric constant material of a multilayer configuration.

[0133] The hollow 5 for arranging a capacitor element 4 is formed in the field of the side connected with the semiconductor device 2 of the wiring substrate 3. A capacitor element 4 is arranged and connected to this hollow 5. Moreover, direct continuation of the capacitor element 4 is carried out to the terminal block for the power-source acceptance for a drive of a semiconductor device 2.

[0134] The multilayer interconnection in the wiring substrate 3 consists of wiring substrates 3 of the operation gestalt 7 so that the near terminal connected with the circuit plate which is not illustrated of the wiring substrates 3 may be divided into terminal-block 8A by which connection is carried out to the signal wiring in a wiring substrate, and terminal-block 8C by which connection is carried out to power-source wiring for a drive. Moreover, terminal-block 7B by which connection is carried out to power-source wiring for a drive in a wiring substrate is arranged in the exposure in the hollow 5 of the side connected to a semiconductor device 2. A capacitor element 4 is connected to terminal-block 7B.

[0135] The wiring substrate 3 of the operation gestalt 7 is formed almost like the wiring substrate 3 of the operation gestalt 3.

[0136] That is, a ceramic green sheet and a metal paste are prepared like the operation gestalt 3, and formation of formation and the wiring film of the beer to a sheet, or the terminal film is performed. At this time, the terminal film used as terminal-block 7B is formed in the ceramic green sheet of a layer exposed in the hollow 5 of the wiring substrate 3, and the terminal film used as terminal-block 8A and terminal-block 8C is formed in the ceramic green sheet of a layer connected to a circuit plate. And about multilayer configuration section 3A to the layer in which a capacitor element 4 is carried from the layer connected with a circuit plate, the laminating of the prepared ceramic green sheet is carried out as it is. Moreover, about multilayer configuration section 3B equipped with the hollow 5 for arranging the near capacitor element 4 in which a semiconductor device 2 is carried,

the laminating of the ceramic green sheet with which the part which hits a hollow was excised beforehand is carried out. Furthermore, the laminating of multilayer configuration section 3A and the multilayer configuration section 3B is carried out, they are sintered, and the wiring substrate 3 is formed.

[0137] In addition, the depth of the hollow 5 of the wiring substrate 3 is formed so that it may become the same about with the loading height of a capacitor element 4.

[0138] With the operation gestalt 7, a terminal is arranged in the 2nd page (front rear face) which a capacitor element 4 faces, respectively, the terminal of one field (rear face) becomes depressed, and it connects with terminal-block 7B in five. At this time, since the loading height of a capacitor element 4 is almost the same as the depth of a hollow 5, the field (front face) of another side of a capacitor element 4 serves as the almost same height as the semiconductor device loading side of the wiring substrate 3. Therefore, in case a semiconductor device 2 is carried in the wiring substrate 3, while the terminal block for signal I/O is connected to the wiring substrate 3, the terminal block for the power-source acceptance for a drive is connected to a capacitor element 4. .

[0139] Next, the example of an assembly of the semiconductor device loading substrate 1 in the operation gestalt 7 is explained.

[0140] The hollow 5 of the wiring substrate 3 is installed upward, and solder is supplied to terminal 7B for capacitor element connection of the pars basilaris ossis occipitalis of a hollow 5 for example, by the dispenser method, or solder is supplied to the terminal of a capacitor element 4, a capacitor element 4 is carried in this hollow 5, and is heated, and a capacitor element 4 is connected to the wiring substrate 3.

[0141] Subsequently, solder is supplied, and a semiconductor device 2 is carried and it connects with the terminal of the terminal for semiconductor device connection of the wiring substrate 3, and a capacitor element 4.

[0142] Furthermore, solder is supplied to the terminal of the circuit plate which is not illustrated, the semiconductor device loading substrate 1 is carried and heated, and it connects with a circuit plate.

[0143] Thus, with the produced equipment, the power source for a drive of a semiconductor device results [from a circuit plate] in a semiconductor device 2 via the wiring substrate 3 and a capacitor element. Moreover, the RF signal generated from a semiconductor device 2 results in a circuit plate through the wiring substrate 3.

[0144]

[Effect of the Invention] Since a capacitor element is arranged in the interior of the loading substrate of a large-scale-integrated-circuit semiconductor device by this invention, by it, a miniaturization becomes possible at the high integration list of the circuit plate with which a loading substrate is carried.

[0145] Moreover, since distance of wiring for connecting a capacitor element can be shortened, also in a circuit plate which is a circuit plate of the RF band exceeding hundreds of MHz, and carries the large-sized large-scale-integrated-circuit semiconductor device beyond 10mm angle, it is lost that the wiring distance influences greatly as an inductor component, and the noise absorption effect by the capacitor element fully comes to be acquired.

[0146] Moreover, since it is formed in the wiring substrate which consists of low dielectric constant material and a signal is transmitted in it, the signal wiring for the RF signal generated from a semiconductor device can make a signal spread at high speed.

[0147] The circuit plate with which the noise margin in circuit actuation can be secured, and a semiconductor device loading substrate is carried by this can be satisfied as a circuit plate for RFs.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram of a cross section showing the semiconductor device loading substrate of the operation gestalt 1 of this invention.

[Drawing 2] It is the outline block diagram showing the cross section of the semiconductor device loading substrate of the operation gestalt 2 of this invention.

[Drawing 3] It is the outline block diagram showing the cross section of the semiconductor device loading substrate of the operation gestalt 3 of this invention.

[Drawing 4] It is the outline block diagram showing the cross section of the semiconductor device loading substrate of the operation gestalt 4 of this invention.

[Drawing 5] It is the outline block diagram showing the cross section of the semiconductor device loading substrate of the operation gestalt 5 of this invention.

[Drawing 6] It is the outline block diagram showing the cross section of the semiconductor device loading substrate of the operation gestalt 6 of this invention.

[Drawing 7] It is the outline block diagram showing the cross section of the semiconductor device loading substrate of the operation gestalt 7 of this invention.

[Drawing 8] It is the outline block diagram showing the cross section of a circuit plate in which the conventional semiconductor device loading substrate is carried.

[Drawing 9] It is the outline block diagram showing the cross section of the conventional semiconductor device loading substrate.

[Description of Notations]

1 Semiconductor Device Loading Substrate

2 Semiconductor Device

3 Wiring Substrate

4 Capacitor Element

5 Space or Hollow for Capacitor Element Arrangement

6 2nd Wiring Substrate

9 Circuit Plate Carrying Semiconductor Device Loading Substrate

10 Semiconductor Device Loading Substrate

11 I/O Pin

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

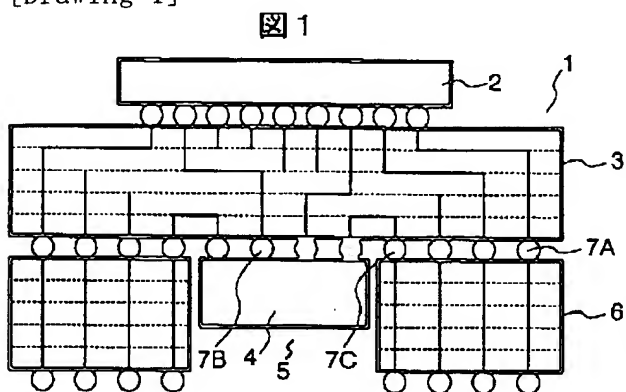
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

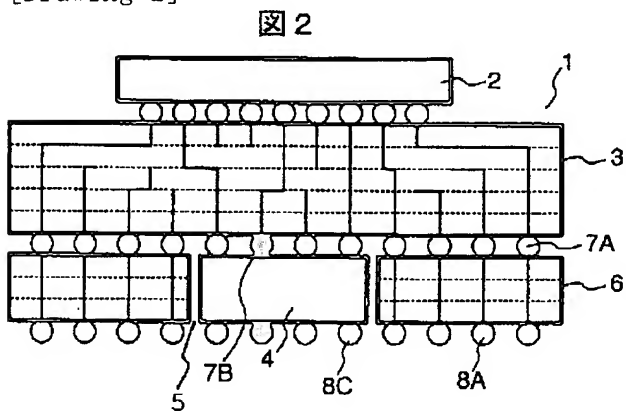
3. In the drawings, any words are not translated.

DRAWINGS

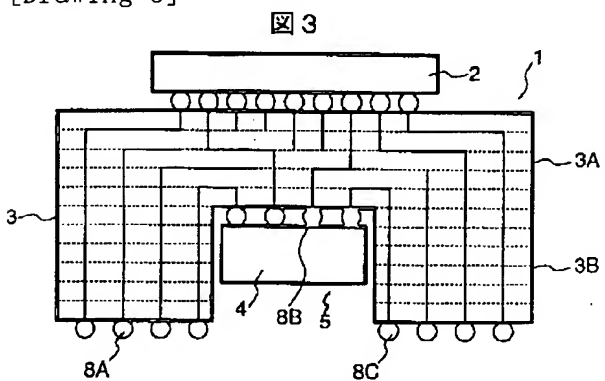
[Drawing 1]



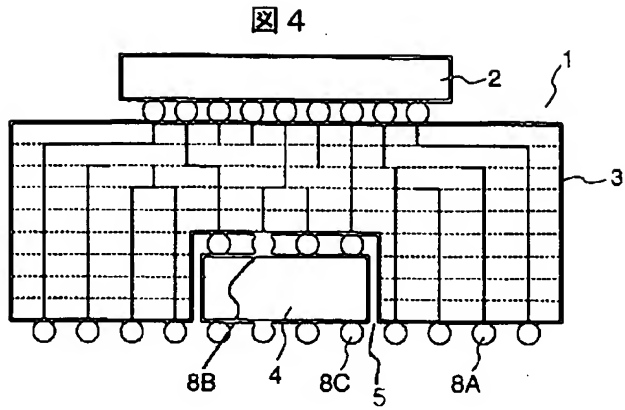
[Drawing 2]



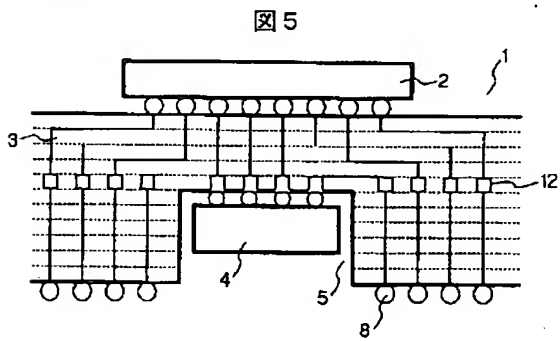
[Drawing 3]



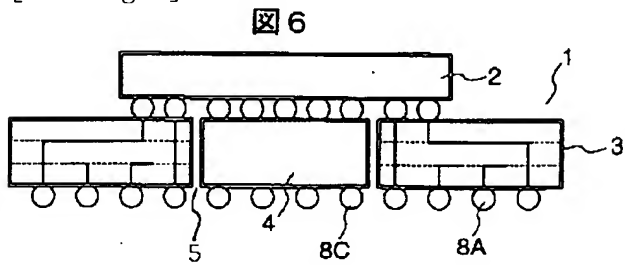
[Drawing 4]



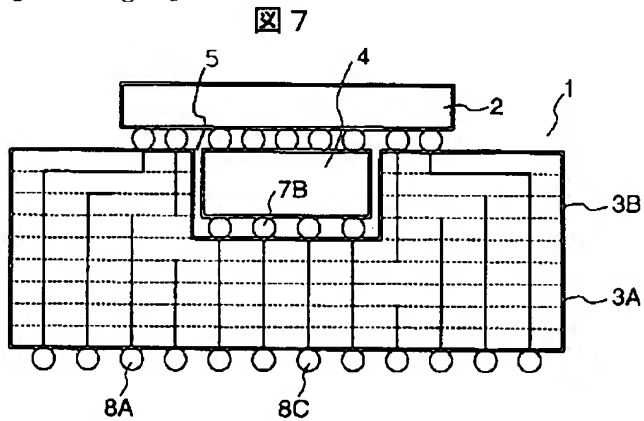
[Drawing 5]



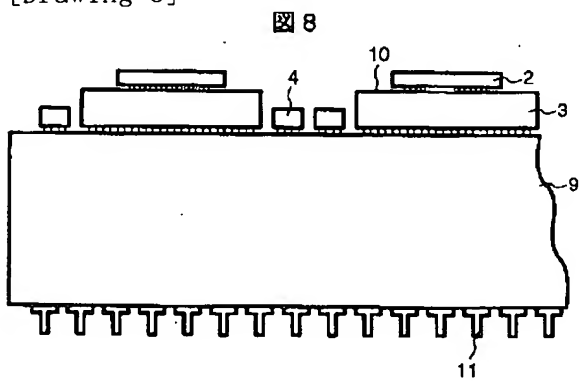
[Drawing 6]



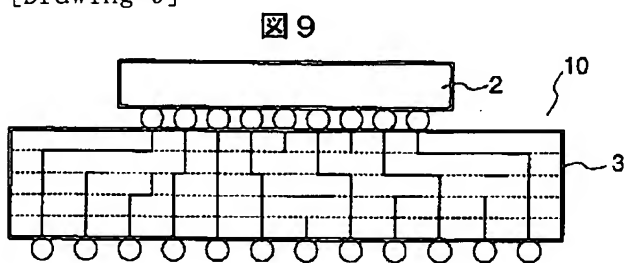
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 1 7 4 9 0

(43) 公開日 平成11年 (1999) 11月16日

(51) Int. Cl. ⁶
H 0 1 L 25/00
23/12

識別記号

F I
H 0 1 L 25/00 B
23/12 B

審査請求 未請求 請求項の数 7

OL

(全 1 1 頁)

(21) 出願番号 特願平10-294915

(22) 出願日 平成10年 (1998) 10月16日

(31) 優先権主張番号 特願平9-299478

(32) 優先日 平9 (1997) 10月16日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 戸▲崎▼ 博巳

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

(72) 発明者 竹中 隆次

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

(72) 発明者 高橋 一敏

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

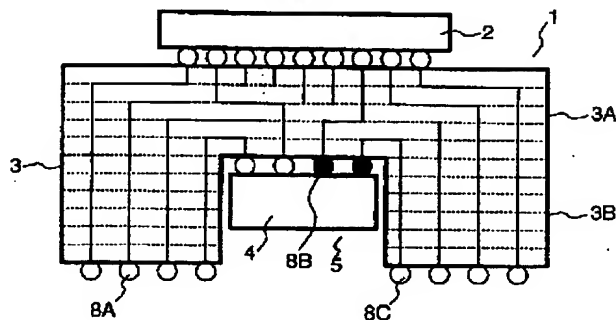
(54) 【発明の名称】 半導体素子搭載基板

(57) 【要約】

【課題】 コンデンサ素子を大規模集積回路半導体素子の搭載領域内に配設して多層配線回路板の高集積化、小形化、低ノイズ化、並びに高速化をはかる。

【解決手段】 半導体素子 2 は多層構成の低誘電率材からなる配線基板 3 に接続される。配線基板 3 には、コンデンサ素子 4 を配設するための窪み 5 が形成される。配線基板 3 では、回路板と接続される側の端子が、配線基板 3 内の信号配線に結線される端子群 8 A と、駆動用電源配線に結線される端子群 8 B と、コンデンサ素子 4 と回路板間の配線に結線される端子群 8 C に分けられるよう、配線基板 3 内の多層配線が構成される。端子群 8 B は、窪み 5 の底面に配設される。この窪み 5 にコンデンサ素子 4 が配置され接続される。これにより、半導体素子搭載基板 1 が構成される。

図 3



【特許請求の範囲】

【請求項 1】半導体素子と、該半導体素子を搭載しかつ該半導体素子の駆動用電源配線にコンデンサ素子を接続する配線基板からなる半導体素子搭載基板であって、該配線基板はコンデンサ素子を配設するための空間を有し、該空間の面に該配線基板の半導体素子の駆動用電源配線の端子を設け、該空間にコンデンサ素子を配設し、該端子に該コンデンサ素子を接続する構成とすることを特徴とする半導体素子搭載基板。

【請求項 2】請求項 1 記載の半導体素子搭載基板において、前記空間の面に前記コンデンサ素子の他端を接続する第 2 の端子を設け、

該半導体素子搭載基板を接続する回路板側の該半導体素子搭載基板の配線基板の端子を、該配線基板の前記第 2 の端子からの配線に結線する端子群と該配線基板の半導体素子の信号用配線に結線する端子群とに分けて配設する構成とすることを特徴とする半導体素子搭載基板。

【請求項 3】請求項 1 記載の半導体素子搭載基板において、

該半導体素子搭載基板を接続する回路板側の該半導体素子搭載基板の配線基板の端子を、前記コンデンサ素子の他端に結線する端子群と該配線基板の半導体素子の信号用配線に結線する端子群とに分けて配設する構成とすることを特徴とする半導体素子搭載基板。

【請求項 4】半導体素子の端子が半導体素子の駆動用電源配線の端子群と信号用配線の端子群とに分けて配置された半導体素子の信号用配線の端子群をコンデンサ素子を配設するための空間を設けた配線基板に接続し、該空間にコンデンサ素子を配設し、かつ該コンデンサ素子の一方の端子を半導体素子の駆動用電源の端子群に接続し、前記信号用配線の端子群を配線の形成された前記配線基板に接続する構成とすることを特徴とする半導体素子搭載基板。

【請求項 5】半導体素子の端子が半導体素子の駆動用電源配線の端子群と信号用配線の端子群とに分けて配設された半導体素子の信号用配線の端子群をコンデンサ素子を配設するための窪みを設けた配線基板に接続し、該窪みにコンデンサ素子を配設し、かつ該コンデンサ素子の一方の端子を半導体素子の駆動用電源の端子群に接続し、該コンデンサ素子の他の一方の端子を窪みに設けたコンデンサ素子用の端子に接続し、前記信号用配線の端子群を配線の形成された前記配線基板に接続する構成とすることを特徴とする半導体素子搭載基板。

【請求項 6】半導体素子が搭載される配線基板であって、前記配線基板の半導体素子搭載面または前記半導体素子搭載面に対向する面に形成された窪みと、前記窪みの底面に配置され、前記配線基板内の駆動用電源配線に接続された端子とを有し、コンデンサ素子が前記窪みに配設され、前記端子に接続されることを特徴とする配線

基板。

【請求項 7】半導体素子と、該半導体素子を搭載する配線基板と、該配線基板を搭載する回路板とを含む電子機器において、

前記配線基板の半導体素子搭載面または前記半導体素子搭載面に対向する面に形成された窪みと、前記窪みの底面に配置され、前記配線基板内の駆動用電源配線に接続された端子と、前記窪みに配設され、前記端子に接続されたコンデンサ素子とを有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子と、半導体素子を搭載し、かつコンデンサ素子を具備する基板からなる半導体素子搭載基板に関するものである。

【0002】

【従来の技術】CMOS回路における大規模集積回路半導体素子(LSI)では、多数の回路が同時にオン・オフするため、素子としての電流変動が大きくなり、また更に信号伝播の高速化により過渡的な電源電圧の変動が増加し、回路の動作マージンを大きく減少させている。

【0003】近年の回路集積度の増大と回路の信号伝播の高速化の大幅な進展にともない、回路動作におけるノイズマージンが少なくなり、誤動作を生じ易いレベルになってきている。

【0004】このため、LSIの近傍に、数百nFから数十μF程度の容量を有するコンデンサ素子を配設し、コンデンサ素子をLSI駆動用の電源配線に接続することにより、前記ノイズを吸収させて誤動作を防止することが行われている。

【0005】そして、例えば、大形電子計算機の中央演算回路基板や、その他の電子装置用回路板等では、数十個のLSIチップ或いはLSIチップを搭載した数十個のパッケージ基板を多層配線回路板上に配設し、各LSIチップの駆動用電源配線にコンデンサ素子を接続するよう、LSIチップ或いはLSIチップを搭載したパッケージ基板の搭載領域外に配線を引き出し、多数のコンデンサ素子とLSIチップとを多層配線回路板上に搭載し、LSIチップの駆動用電源配線にコンデンサ素子を接続していた。

【0006】図8に、従来の多数のLSIチップを搭載したパッケージ基板とコンデンサ素子とを搭載した多層配線回路板の例を示す。

【0007】多層配線構造のセラミック基板或いはプリント基板等の回路板9の表面には、LSIチップ2とこれを搭載した配線基板3から成る多数のLSIチップ搭載基板10、及びそのLSIチップ搭載基板10の搭載領域の周辺に多数のコンデンサ素子4が搭載、接続される。

【0008】そして、回路板9の裏面には、更に複数の

回路板 9 を搭載する大形の回路板（図示せず）に接続するための入出力ピン 11 が設けられる。

【0009】半導体素子の駆動用電源は、大形の回路板（図示せず）から入出力ピン 11 及び回路板 9 の内部の配線（図示せず）を経てコンデンサ素子 4 に至り、更にコンデンサ素子 4 から回路板 9 の内部の配線を経て LSI チップ 2 の電源駆動用端子に至る。

【0010】図 9 に従来 LSI チップ搭載基板（パッケージ基板）10 の例を示す。

【0011】LSI チップ搭載基板は、LSI チップ 2 とこれを接続する配線基板 3 から成り、配線基板の表面に LSI チップが搭載、接続される。

【0012】配線基板 3 は、LSI チップのキャリアとして取り扱いを容易にし、また、LSI チップの電気的検査の利便性を確保するためのものである。

【0013】なお、ここでは図示しないが、配線基板 3 の表面周囲の余白部に LSI チップを気密封止するためのキャップを配設する場合もある。

【0014】

【発明が解決しようとする課題】このように多数のコンデンサ素子が LSI チップの搭載領域外に配設される多層配線回路板では、回路板の高集積化並びに回路板の小形化に限界がある。

【0015】また、数百メガヘルツを超える高周波帯の回路板であって、10mm 角以上の大型の LSI チップを搭載するような回路板では、コンデンサ素子の接続用端子までの配線距離がインダクタ成分として大きく影響するようになり、コンデンサ素子を接続したことによるノイズ吸収効果が得られなくなるという欠点があった。

【0016】一方、半導体素子から発生する高周波信号について、信号を高速で伝播させるためには、信号配線は低誘電率材からなる配線基板内に形成し、そのような低誘電率材中で信号を伝送することが必要である。

【0017】しかし、従来 LSI チップ搭載基板及び多層配線回路板では、上記した欠点や課題を同時に満たすことに関する考慮がなく、LSI チップ搭載基板とコンデンサ素子とが配設された回路板が、必ずしも高周波用回路板として満足できるものではなかった。

【0018】従って、本発明の目的は、コンデンサ素子を大規模集積回路半導体素子の搭載領域内に配設するようにし、多層配線回路板の高集積化並びに小形化を可能とする半導体素子搭載基板を提供することである。

【0019】本発明の他の目的は、コンデンサ素子の接続によるノイズ吸収効果を高めることが可能な半導体素子搭載基板を提供することである。

【0020】更に、本発明の他の目的は、半導体素子の高周波信号を高速で伝播させることが可能な半導体素子搭載基板を提供することである。

【0021】更に、本発明の他の目的は、半導体素子搭載基板が搭載される回路板が、高周波用回路板として満

足できるものにするものである。

【0022】

【課題を解決するための手段】上記目的を達成するため、本発明では、半導体素子と、該半導体素子を搭載しかつ該半導体素子の駆動用電源配線にコンデンサ素子を接続する配線基板からなる半導体素子搭載基板であり、該配線基板はコンデンサ素子を配設するための空間を有し、該空間の面に該配線基板の半導体素子の駆動用電源配線の端子を設け、該空間にコンデンサ素子を配設し、該端子に該コンデンサ素子を接続する構成としている。

【0023】また、前記空間の面に前記コンデンサ素子の他端を接続する第 2 の端子を設け、該半導体素子搭載基板を接続する回路板側の該半導体素子搭載基板の配線基板の端子を、該配線基板の前記第 2 の端子からの配線に結線する端子群と該配線基板の半導体素子の信号用配線に結線する端子群とに分けて配設する構成としている。

【0024】また、該半導体素子搭載基板を接続する回路板側の該半導体素子搭載基板の配線基板の端子を、前記コンデンサ素子の他端に結線する端子群と該配線基板の半導体素子の信号用配線に結線する端子群とに分けて配設する構成としている。

【0025】また、半導体素子の端子が半導体素子の駆動用電源配線の端子群と信号用配線の端子群とに分けて配置された半導体素子の信号用配線の端子群をコンデンサ素子を配設するための空間を設けた配線基板に接続し、該空間にコンデンサ素子を配設し、かつ該コンデンサ素子の一方の端子を半導体素子の駆動用電源の端子群に接続し、前記信号用配線の端子群を配線の形成された前記配線基板に接続する構成としている。

【0026】また、半導体素子の端子が半導体素子の駆動用電源配線の端子群と信号用配線の端子群とに分けて配設された半導体素子の信号用配線の端子群をコンデンサ素子を配設するための窪みを設けた配線基板に接続し、該窪みにコンデンサ素子を配設し、かつ該コンデンサ素子の一方の端子を半導体素子の駆動用電源の端子群に接続し、該コンデンサ素子の他の一方の端子を窪みに設けたコンデンサ素子用の端子に接続し、前記信号用配線の端子群を配線の形成された前記配線基板に接続する構成としている。

【0027】これにより、（1）コンデンサ素子を半導体素子の搭載領域の外部に配設する多層配線の回路板で問題であった回路板の高集積化並びに回路板の小形化の限界、（2）数百メガヘルツを超える高周波帯の回路板であって、10mm 角以上の大型の大規模集積回路半導体素子を搭載するような回路板では、コンデンサ素子の接続用端子までの配線距離がインダクタ成分として大きく影響するようになり、コンデンサ素子の接続によるノイズ吸収効果が得られなくなるという欠点、更に、

（3）半導体素子の高周波信号について、信号を高速で

伝播させるためには、信号配線は低誘電率材からなる配線基板内に形成し、そのような低誘電率材中で信号を送送することが必要であるという課題を解決し、回路動作におけるノイズマージンを確保できる。

【0028】

【発明の実施の形態】以下、本発明の一実施形態について図面を用いて説明する。

【0029】〈実施形態1〉図1に、本発明の半導体素子搭載基板1の一実施形態の断面を示す。

【0030】実施形態1において、半導体素子搭載基板1は、半導体素子2と配線基板3と第2の配線基板6とコンデンサ素子4から構成される。

【0031】半導体素子2は、多層構成の低誘電率材からなる配線基板3に接続される。

【0032】ここで半導体素子2は、LSIチップ、ICチップ等を含む。

【0033】この配線基板3には、コンデンサ素子4と、コンデンサ素子を配設するための空間5が形成された低誘電率材からなる第2の配線基板6が接続される。

【0034】また、半導体素子搭載基板1は、図8に示したのと同様に、図示しない回路板に搭載、接続され、電子装置用回路板を構成する。このような電子装置用回路板は、電子計算機や各種電子機器に適用され、その構成部材の一部となる。

【0035】半導体素子2が接続される配線基板3では、配線基板3のうち第2の配線基板6が接続される側の端子が、配線基板3内の信号配線に結線される端子群7Aと、駆動用電源配線に結線される端子群7Bと、コンデンサ素子4と第2の配線基板6間の配線に結線される端子群7Cに分けられるよう、配線基板3内の多層配線が構成される。端子群7Aと、端子群7Cの一部には第2の配線基板6が接続され、また、端子群7Bと、端子群7Cの他の一部にはコンデンサ素子4が接続される。

【0036】また、第2の配線基板6の表裏面には、配線基板3の端子群7A及び端子群7Cに接続される端子と、これらの端子と配線基板6内の配線で接続され、回路板に接続される端子とが形成される。

【0037】尚、コンデンサ素子4は、例えば、図1の黒く塗りつぶした端子間を接続し、コンデンサとして作用する。

【0038】ここで、配線基板3は以下により形成される。

【0039】まず、配線および端子材料としてタングステン或いはモリブデン等の高融点金属を用い、また低誘電率セラミック材料としてムライトを用いる場合と、或いは、配線及び端子材料として銅或いは金、銀等の低抵抗金属を用い、また低誘電率セラミック材料として、ほうけい酸を含有するガラスとムライト粉末等との混合物を用いる場合とがある。

【0040】低誘電率のセラミック材料については、例えば従来からセラミック多層配線基板の製造方法として公知の方法により、セラミック粉末に有機高分子材、可塑性並びに溶剤を混合して泥状物とし、成形機でセラミックグリーンシートに成形する。

【0041】また、配線材料としての金属材料については、例えば厚膜ペーストの製造方法として公知の方法により、有機高分子材を溶剤に溶解した粘性液に混練・分散し、スクリーン印刷に適した金属ペーストとする。

【0042】セラミックグリーンシートには、形成する回路パターンの要求に応じてパンチング或いはレーザにより貫通孔が形成され、貫通孔への金属ペーストの充填（ビアの形成）とシート面への配線膜或いは端子膜の形成が、金属ペーストの印刷により行われる。このとき、最上層となるセラミックグリーンシートには半導体素子を接続するための端子膜が形成され、最下層となるセラミックグリーンシートには端子群7A、端子群7B及び端子群7Cとなる端子膜が形成される。

【0043】そして、これらのセラミックグリーンシートが積層され、焼結されて配線基板3が形成される。

【0044】また、空間5が形成された第2の配線基板6が以下により形成される。

【0045】即ち、配線基板3と同様にして、金属膜パターンが形成されたセラミックグリーンシートの積層体が作製され、その焼結前または焼結後に、コンデンサ素子を配設するための空間がレーザ加工、或いは研削砥石を用いた研削加工等で切除されることにより第2の配線基板6が形成される。

【0046】或いは、金属膜パターンが形成され、空間となる部分が予め切除されたセラミックグリーンシートが積層され、焼結されることによっても第2の配線基板6が形成される。

【0047】尚、実施形態1では、第2の配線基板6の厚さは、コンデンサ素子4の搭載高さより厚い構成としてある。

【0048】また、実施形態1では、図1の示されるように第2の配線基板6内の配線は、セラミックグリーンシートに形成された貫通孔に充填された金属柱（ビア）のみが多層にわたって接続された構成としているが、配線基板3内の配線並びに回路板の端子の配置によって、図1に示す配線基板3と同様な多層配線を形成することも可能である。

【0049】次に、半導体素子搭載基板1の組立て例について説明する。

【0050】半導体素子搭載基板1は、半導体素子2、配線基板3、第2の配線基板6およびコンデンサ素子4が3階層構成で接続される。そして、半導体素子搭載基板1は、最終的に図示しない回路板に搭載、接続される。そこで、各階層の組立てにおいては、融点の異なるはんた材料を用いることが重要となる。

【0051】まず、配線基板3の端子群7A、7B、7Cに、はんだを供給し、コンデンサ素子4を搭載し、次いで、コンデンサ素子4のための空間5が形成された第2の配線基板6を搭載し、これらを加熱して配線基板3とコンデンサ素子4及び第2の配線基板6とを接続する。

【0052】続いて、配線基板3の半導体素子2側の端子群にはんだを供給し、半導体素子を搭載して加熱し、配線基板3の表面に半導体素子2を接続する。

【0053】更に、図示しない回路板の端子にはんだを供給し、半導体素子搭載基板1を搭載して加熱し、回路板に半導体素子搭載基板1を接続する。

【0054】このようにして作製した装置では、半導体素子の駆動用電源は、回路板から第2の配線基板6、配線基板3を通してコンデンサ素子4を経由し、更に配線基板3の数mmの配線経路を通して半導体素子2に至る。

【0055】また、半導体素子2から発生する高周波信号は、配線基板3及び第2の配線基板6を経て回路板に至る。

【0056】このように、コンデンサ素子が半導体素子搭載基板1の内部に配設されるため、従来の回路板のようにコンデンサ素子を搭載する領域を搭載基板の搭載領域外部に設ける必要が無く、回路板の高集積化並びに小形化が可能となる。

【0057】また、コンデンサ素子を接続するための配線は配線基板3内に形成され、従来のように配線を搭載基板の搭載領域外に引き出す必要がないため、配線距離を短くすることができ、よって、配線距離がインダクタ成分として影響するようなことがなくなり、コンデンサ素子によるノイズ吸収効果が十分に得られる。

【0058】また、半導体素子2から発生する高周波信号は、低誘電率材からなる配線基板3及び第2の配線基板6内部の信号配線で伝送されるため、高速で伝播させることができる。

【0059】これにより、回路動作におけるノイズマージンを確保できる。

【0060】〈実施形態2〉図2に、本発明の半導体素子搭載基板1の他の実施形態の断面を示す。

【0061】実施形態2の半導体素子搭載基板1は、図2に示すように、実施形態1の半導体素子搭載基板1と同様に構成される。

【0062】実施形態2における配線基板3では、配線基板3のうち第2の配線基板6が接続される側の端子が、配線基板3内の信号配線に結線される端子群7Aと、駆動用電源配線に結線される端子群7Bとに分けられるよう、配線基板3内の多層配線が構成される。

【0063】信号配線に結線される端子群7Aには第2の配線基板6が接続され、駆動用電源に結線される端子群7Bにはコンデンサ素子4が接続される。

【0064】第2の配線基板6及びコンデンサ素子4のうち回路板に接続される側には、それぞれ端子8A、端子8Cが配設される。

【0065】実施形態2の配線基板3並びに第2の配線基板6は、それぞれ実施形態1と同様にして形成されるが、配線基板3並びに第2の配線基板6に配設される端子は、上記したように実施形態1と異なる。

【0066】すなわち、配線基板3の裏面側の端子は、端子群7Aと端子群7Bに分けられて配設され、第2の配線基板6の配線基板3側には端子群7Aに接続する端子群のみが配設される。

【0067】また、コンデンサ素子4の相対する2面（表裏面）には、それぞれ端子が配設され、一方の面の端子は配線基板3に接続される。

【0068】更に、実施形態2では、第2の配線基板6の厚さがコンデンサ素子4の搭載高さとおよそ同じになっており、半導体素子搭載基板1が図示しない回路板に搭載される際、第2の配線基板6の端子8Aが回路板に接続されると共に、コンデンサ素子4の端子8Cも回路板に接続される。コンデンサ素子4は、例えば、図2の黒く塗りつぶした端子間を接続してコンデンサとして作用する。

【0069】尚、実施形態2における半導体素子搭載基板1の組立ては、実施形態1と同様に行われる。

【0070】実施形態2においては、半導体素子の駆動用電源は、図示しない回路板から直接コンデンサ素子4を経て配線基板3の数mmの配線経路を通り、半導体素子2に至る。

【0071】また半導体素子2から発生する高周波信号は、配線基板3並びに第2の配線基板6を経て回路板に至る。

【0072】〈実施形態3〉図3に、本発明の半導体素子搭載基板1の他の実施形態の断面を示す。

【0073】実施形態3の半導体素子搭載基板1において、半導体素子2が多層構成の低誘電率材からなる配線基板3に接続される。

【0074】配線基板3には、コンデンサ素子4を配設するための窪み（凹部）5が形成される。この窪み5にコンデンサ素子4が配置され接続される。

【0075】そして、半導体素子搭載基板1は、図示しない回路板に搭載、接続され、電子装置用回路板を構成する。このような電子装置用回路板は、電子計算機や各種電子機器に適用され、その構成部材の一部となる。。

【0076】実施形態3の配線基板3では、配線基板3のうちの回路板と接続される側の端子が、配線基板3内の信号配線に結線される端子群8Aと、駆動用電源配線に結線される端子群8Bと、コンデンサ素子4と回路板間の配線に結線される端子群8Cに分けられるよう、配線基板3内の多層配線が構成される。端子群8Bは、窪み5内の底（露出）面（コンデンサ素子4との接続面）

に配設される。

【0077】端子群8Bと端子群8Cの一部にはコンデンサ素子4が接続され、端子群8A及び端子群8Cの他の一部は回路板（図示せず）に接続される。コンデンサ素子4は、例えば、図3の黒く塗りつぶした端子間を接続してコンデンサとして作用する。

【0078】コンデンサ素子4を配設するための窪み5が形成された配線基板3は、以下により形成される。

【0079】まず、配線および端子材料としてタングステン或いはモリブデン等の高融点金属を用い、また低誘電率セラミック材料としてムライトを用いる場合と、或いは配線及び端子材料として銅或いは金、銀等の低抵抗金属を用い、また低誘電率セラミック材料として、ほうけい酸を含有するガラスとムライト粉末等との混合物を用いる場合とがある。

【0080】低誘電率のセラミック材料については、例えば従来からセラミック多層配線基板の製造方法として公知の方法により、セラミック粉末に有機高分子材、可塑性並びに溶剤を混合して泥状物とし、成形機でセラミックグリーンシートに成形する。

【0081】また、配線材料としての金属材料については、例えば厚膜ペーストの製造方法として公知の方法により、有機高分子材を溶剤に溶解した粘性液に混練・分散し、スクリーン印刷に適したペーストとする。

【0082】セラミックグリーンシートには、形成する回路パターンの要求に応じてパンチング或いはレーザにより貫通孔が形成され、貫通孔への金属ペーストの充填（ビアの形成）とシート面への配線膜或いは端子膜の形成が、金属ペーストの印刷により行われる。このとき、窪み5内に露出する層のセラミックグリーンシートには端子群8Bと端子群8Cの一部となる端子膜が形成され、回路板に接続される層のセラミックグリーンシートには端子群8Aと端子群8Cとなる端子膜が形成される。

【0083】そして、半導体素子2が搭載される層からコンデンサ素子4が接続される層までの多層構成部3Aについては、用意したセラミックグリーンシートがそのまま積層される。また、回路板に接続される側のコンデンサ素子4を配設するための窪み5を備える多層構成部3Bでは、窪みにあたる部分が予め切除されたセラミックグリーンシートが積層される。多層構成部3Aと多層構成部3Bとが積層され、焼結されて配線基板3が形成される。

【0084】尚、実施形態3では、配線基板3の窪み5の深さは、コンデンサ素子4の搭載高さよりも深い構成としてある。

【0085】次に、実施形態3における半導体素子搭載基板1の組立て例について説明する。

【0086】配線基板3の窪み5が上向きになるように配線基板3を置き、窪み5の底面の端子群に例えばデス

ベンサ方式ではんだを供給し、或いはコンデンサ素子4の端子にはんだを供給し、コンデンサ素子4を窪み5内に配置して加熱し、コンデンサ素子4を配線基板3に接続する。

【0087】次いで、配線基板3の半導体素子接続用の端子にはんだを供給し、半導体素子2を搭載、接続する。

【0088】更に、図示しない回路板の端子にはんだを供給し、半導体素子搭載基板1を搭載して加熱し、回路板に接続する。

【0089】このようにして作製した装置では、半導体素子の駆動用電源は、回路板から配線基板3及びコンデンサ素子4を経由し、更に配線基板3の数mmの配線を通して半導体素子2に至る。また、半導体素子2から発生する高周波信号は、配線基板3を経て回路板に至る。

【0090】〈実施形態4〉図4に、本発明の半導体素子搭載基板1の他の実施形態の断面を示す。

【0091】実施形態4の半導体素子搭載基板1は、図4に示すように、実施形態3の半導体素子搭載基板1と同様に構成される。

【0092】実施形態4における配線基板3では、配線基板3のうちの図示しない回路板と接続される側の端子が、配線基板内の信号配線に結線される端子群8Aと、駆動用電源配線に結線される端子群8Bとに分けられるよう、配線基板3内の多層配線が構成される。端子群8Bは、窪み5内の露出面に配設される。端子群8Bにはコンデンサ素子4が接続される。

【0093】実施形態4の配線基板3は、実施形態3と同様にして形成されるが、上記のように配設される端子は実施形態3と異なる。

【0094】また、実施形態4では、コンデンサ素子4の相対する2面（表裏面）にそれぞれ端子が配設され、一方の面の端子は配線基板3に接続される。

【0095】また、実施形態4では、配線基板3の窪み5の深さがコンデンサ素子4の搭載高さとおよそ同一であり、半導体素子搭載基板1が図示しない回路板に搭載される際、配線基板3の端子群8Aが回路板に接続されると共に、コンデンサ素子4に配設された端子群8Cも回路板に接続される。コンデンサ素子4は、例えば、図4の黒く塗りつぶした端子間を接続してコンデンサとして作用する。

【0096】尚、実施形態4における半導体素子搭載基板1の組立ては、実施形態3と同様に行われる。

【0097】実施形態4においては、半導体素子の駆動用電源は、図示しない回路板から直接コンデンサ素子を経て配線基板3の数mmの配線経路を通り、半導体素子2に至る。

【0098】また、半導体素子から発生する高周波信号は、配線基板3を経て回路板に至る。

【0099】〈実施形態5〉図5に、本発明の半導体素

子搭載基板 1 の他の実施形態の断面を示す。

【0100】実施形態 5 の半導体素子搭載基板 1 は、図 5 に示すように、実施形態 3 の半導体素子搭載基板 1 と同様に構成される。

【0101】また、実施形態 5 の配線基板 3 も、実施形態 3 における配線基板 3 と同様に多層配線が構成され、端子群 8 が配設される。

【0102】但し、窪み 5 内に露出する層のコンデンサ素子 4 との接続面には、端子群は配設されず、代わりに配線基板 3 内の通常のビア径よりも大きい径のビア 12 がその層に形成され、底面（接続面）に露出している。そして、これらの大径のビア 12 に直接コンデンサ素子 4 が接続される。

【0103】このような配線基板 3 の形成について以下に説明する。但し、本実施形態の配線基板 3 は、実施形態 3 における配線基板 3、特にその多層構成部 3A とほぼ同様に形成されるため、同様の部分は説明を省略し、主に実施形態 3 と異なる点について説明する。

【0104】まず、実施形態 3 と同様にセラミックグリーンシートと金属ペーストが用意され、シートへのビアの形成及び配線膜或いは端子膜の形成が行われる。このとき、コンデンサ素子 4 が接続される層に当たるセラミックグリーンシートには、配線膜或いは端子膜は形成されず、他の層のセラミックグリーンシートにおけるビア径よりもおよそ 1.5 ～ 3 倍程度大きな径のビアが形成される。

【0105】そして、これらのセラミックグリーンシートが積層され、焼結されて配線基板が形成される。

【0106】続いて、配線基板に窪み 5 が形成される。

【0107】窪み 5 の形成については、例えば、実施形態 3 では、予めコンデンサ素子 4 を配設するための空間となる部分が切除されたセラミックグリーンシートが積層・焼結されて窪み 5 が形成されている。これに対して、実施形態 5 では、ビア及び配線膜或いは端子膜が形成されたセラミックグリーンシートが積層され、焼結されて窪みのない配線基板が形成された後、コンデンサ素子 4 が配設されるべき部分の配線基板の表面層からコンデンサ素子 4 が接続される層までがレーザ加工、或いは研削砥石を用いた研削加工等で切除され、窪み 5 が形成される。このとき、窪み 5 の底にはコンデンサ素子 4 との接続面となる層が露出する。

【0108】このような窪み 5 の形成の仕方の違いにより、配線基板 3 におけるコンデンサ素子 4 が接続される層の構成が実施形態 5 と実施形態 3 とでは異なる。

【0109】即ち、実施形態 3 のように窪み 5 が形成される場合には、コンデンサ素子 4 が接続される層のセラミックグリーンシート表面に、予め素子接続用の端子膜を形成しておくことが可能である。しかし、実施形態 5 の如く、配線基板形成後に窪みとなる部分が切除されて窪み 5 が形成される場合、コンデンサ素子 4 が接続され

る層のセラミックグリーンシート表面も研削加工等により削られてしまうことがあるため、素子接続用の端子膜を形成しておくことができない。もちろん、形成した端子膜が研削されないように加工することも可能ではあるが、加工深さの厳密な制御等が要求され、制御が非常に難しくなり、コストが増大することになる。

【0110】そのため、コンデンサ素子 4 が接続される端子は、その層のセラミックグリーンシートに形成されたビア 12 そのものとなる。

【0111】ところが、基板に搭載される半導体素子の高密度化、多ピン化の進展に伴い、配線基板 3 のビア径も微小化する必要がある。この微小化されたビアに確実にコンデンサ素子 4 を接続するためには、素子搭載時の位置決め等を正確に行わなければならない、搭載が難しくなり、搭載の容易性という観点で問題が有る。

【0112】また、ビア同士を接続するためにセラミックグリーンシートに形成されるパッドの径を大型化することにより端子の径を大きくすることもできるが、基板焼結時の寸法ばらつきが大きく影響すると共に、上記と同様に加工深さをそのパッドまでに厳密に制御しなければならず、制御が難しく、コストが増大する。

【0113】そこで、実施形態 5 では、上述した通り、コンデンサ素子 4 が接続される層は、配線膜や端子膜が形成されず、ビア 12 のみが形成される構造としてビア径を大型化することを可能としている。これにより、窪み 5 の形成時に加工深さの厳密な制御は必要とされず、形成が容易となる。

【0114】次に、実施形態 5 における半導体素子搭載基板 1 の組立てについては、実施形態 3 とほぼ同様に行われる。但し、実施形態 5 では、配線基板 3 の窪み 5 の底面のビア 12 にはんだによりコンデンサ素子 4 の端子が直接接続される。このとき、ビア 12 の径が大きいことにより、素子を容易に位置決め、搭載することができる。

【0115】〈実施形態 6〉図 6 に、本発明の半導体素子搭載基板 1 の他の実施形態の断面を示す。

【0116】実施形態 6 の半導体素子搭載基板 1 において、半導体素子 2 の端子が、駆動用電源を受け入れるための端子群と信号の入出力用の端子群とに分かれて配置されている。この半導体素子 2 の信号用の端子群は多層構成の低誘電率材からなる配線基板 3 に接続される。

【0117】配線基板 3 には、コンデンサ素子 4 を配設するための空間 5 が形成される。コンデンサ素子 4 はこの空間 5 の中に配置され、直接半導体素子 4 の駆動用電源用の端子群に接続される。

【0118】半導体素子搭載基板 1 は、更に図示しない回路板上に搭載、接続され、電子装置用回路板を構成する。このような電子装置用回路板は、電子計算機や各種電子機器に適用され、その構成部材の一部となる。

【0119】実施形態 6 の配線基板 3 では、内部に信号

配線が構成され、また、回路板に接続される側には、この信号配線に結線される端子群 8 A が配設される。

【0120】この配線基板 3 としては、例えば実施形態 1 における第 2 の配線基板 6 と同様にして形成されたものを用いても良いし、或いは、低誘電率のプラスチック樹脂に銅箔或いは銅めっき膜で配線及び端子を形成したものをを用いることもできる。

【0121】また、実施形態 6 では、コンデンサ素子 4 の相対する 2 面（表裏面）にそれぞれ端子が配設され、一方の面の端子が半導体素子 2 に接続される。

【0122】更に、実施形態 6 では、配線基板 3 の厚さがコンデンサ素子 4 の搭載高さとおよそ同じであり、半導体素子搭載基板 1 が図示しない回路板に搭載される際、配線基板 3 の端子群 8 A が回路板に接続されると共に、コンデンサ素子 4 の回路板側の面に配設された端子 8 C も回路板に接続される。

【0123】次に、実施形態 6 における半導体素子搭載基板 1 の組立て例について説明する。

【0124】ここでは、図示しない組立て用の仮板を用いる。

【0125】仮板の表面には、半導体素子搭載基板 1 が最終的に搭載される回路板の搭載面上と同様に端子群が配設されている。

【0126】この仮板上の端子群にはんだを供給し、所定の位置にコンデンサ素子 4 並びに配線基板 3 を搭載し、これらを加熱して仮板にコンデンサ素子 4 と配線基板 3 を仮接続する。

【0127】次いで、はんだを配線基板 3 及びコンデンサ素子 4 の上面の端子に供給し、これらの上に半導体素子 2 を搭載し、これらを加熱してコンデンサ素子 4 及び配線基板 3 と半導体素子 2 とを接続する。

【0128】そして、再度全体を加熱し、仮板とコンデンサ素子 4 及び配線基板 3 との間のはんだを溶融して仮板を除去し、半導体素子搭載基板 1 を作製する。

【0129】実施形態 6 においては、半導体素子の駆動用電源は、図示しない回路板から直接コンデンサ素子 4 を経て半導体素子 2 に至る。

【0130】また、半導体素子 2 から発生する高周波信号は、配線基板 3 を経て回路板に至る。

【0131】〈実施形態 7〉図 7 に、本発明の半導体素子搭載基板 1 の他の実施形態の断面を示す。

【0132】実施形態 7 の半導体素子搭載基板 1 において、実施形態 6 と同様に、半導体素子 2 の端子が、駆動用電源を受け入れるための端子群と信号の入出力用の端子群とに分かれて配置されている。半導体素子 2 の信号入出力用の端子群は多層構成の低誘電率材からなる配線基板 3 に接続される。

【0133】配線基板 3 の半導体素子 2 と接続される側の面には、コンデンサ素子 4 を配設するための窪み 5 が形成される。この窪み 5 にコンデンサ素子 4 が配置され

て接続される。また、コンデンサ素子 4 は、半導体素子 2 の駆動用電源受け入れ用の端子群に直接接続される。

【0134】実施形態 7 の配線基板 3 では、配線基板 3 のうちの図示しない回路板と接続される側の端子が、配線基板内の信号配線に結線される端子群 8 A と、駆動用電源配線に結線される端子群 8 C とに分けられるよう、配線基板 3 内の多層配線が構成される。また、半導体素子 2 に接続される側の窪み 5 内の露出面には、配線基板内の駆動用電源配線に結線される端子群 7 B が配設される。端子群 7 B にはコンデンサ素子 4 が接続される。

【0135】実施形態 7 の配線基板 3 は、実施形態 3 の配線基板 3 とほぼ同様にして形成される。

【0136】即ち、実施形態 3 と同様にセラミックグリーンシートと金属ペーストが用意され、シートへのビアの形成及び配線膜或いは端子膜の形成が行われる。このとき、配線基板 3 の窪み 5 内に露出する層のセラミックグリーンシートには端子群 7 B となる端子膜が形成され、回路板に接続される層のセラミックグリーンシートには端子群 8 A と端子群 8 C となる端子膜が形成される。そして、回路板と接続される層からコンデンサ素子 4 が搭載される層までの多層構成部 3 A については、用意したセラミックグリーンシートがそのまま積層される。また、半導体素子 2 が搭載される側のコンデンサ素子 4 を配設するための窪み 5 を備える多層構成部 3 B については、窪みにあたる部分が予め切除されたセラミックグリーンシートが積層される。更に、多層構成部 3 A と多層構成部 3 B とが積層され、焼結されて配線基板 3 が形成される。

【0137】尚、配線基板 3 の窪み 5 の深さはコンデンサ素子 4 の搭載高さとおよそ同じになるように形成される。

【0138】実施形態 7 では、コンデンサ素子 4 の相対する 2 面（表裏面）にそれぞれ端子が配設され、一方の面（裏面）の端子が窪み 5 内の端子群 7 B に接続される。このとき、窪み 5 の深さとコンデンサ素子 4 の搭載高さがほぼ同じであるため、コンデンサ素子 4 の他方の面（表面）が配線基板 3 の半導体素子搭載面とほぼ同じ高さとなる。従って、半導体素子 2 が配線基板 3 に搭載される際、信号入出力用の端子群が配線基板 3 に接続されると共に、駆動用電源受け入れ用の端子群がコンデンサ素子 4 に接続される。

【0139】次に、実施形態 7 における半導体素子搭載基板 1 の組立て例について説明する。

【0140】配線基板 3 の窪み 5 を上向きに設置し、窪み 5 の底部のコンデンサ素子接続用端子 7 B に例えばデスペンサ方式ではんだを供給し、或いはコンデンサ素子 4 の端子にはんだを供給し、コンデンサ素子 4 をこの窪み 5 に搭載して加熱し、コンデンサ素子 4 を配線基板 3 に接続する。

【0141】次いで、配線基板 3 の半導体素子接続用端

子およびコンデンサ素子 4 の端子にはんだを供給し、半導体素子 2 を搭載、接続する。

【0142】更に、図示しない回路板の端子にはんだを供給し、半導体素子搭載基板 1 を搭載して加熱し、回路板に接続する。

【0143】このようにして作製した装置では、半導体素子の駆動用電源は、回路板から配線基板 3 及びコンデンサ素子を経由して半導体素子 2 に至る。また、半導体素子 2 から発生する高周波信号は、配線基板 3 を経て回路板に至る。

【0144】

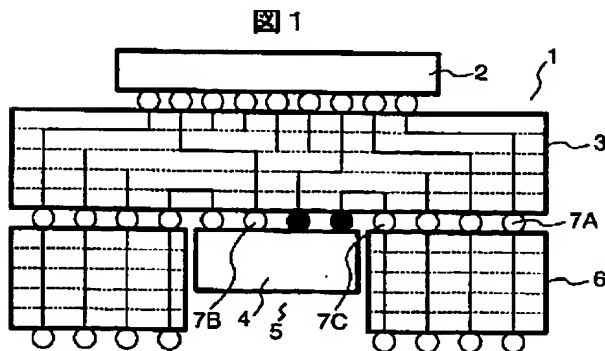
【発明の効果】本発明により、コンデンサ素子が大規模集積回路半導体素子の搭載基板内部に配設されるため、搭載基板が搭載される回路板の高集積化並びに小形化が可能となる。

【0145】また、コンデンサ素子を接続するための配線の距離を短くすることができるため、数百メガヘルツを超える高周波帯の回路板であって、10mm角以上の大型の大規模集積回路半導体素子を搭載するような回路板においても、その配線距離がインダクタ成分として大きく影響するようなことがなくなり、コンデンサ素子によるノイズ吸収効果が十分に得られるようになる。

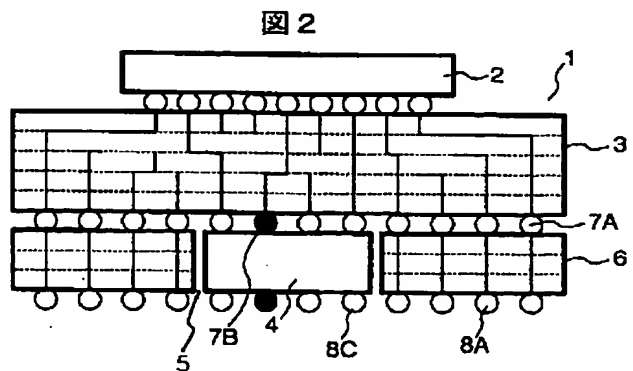
【0146】また、半導体素子から発生する高周波信号のための信号配線は、低誘電率材からなる配線基板内に形成され、その中で信号が伝送されるため、信号を高速で伝播させることができるようになる。

【0147】これにより、回路動作におけるノイズマージンを確保でき、また、半導体素子搭載基板が搭載される回路板が、高周波用回路板として満足できるものとなる。

【図 1】



【図 2】



【図面の簡単な説明】

【図 1】本発明の実施形態 1 の半導体素子搭載基板を示す断面の概要構成図である。

【図 2】本発明の実施形態 2 の半導体素子搭載基板の断面を示す概要構成図である。

【図 3】本発明の実施形態 3 の半導体素子搭載基板の断面を示す概要構成図である。

【図 4】本発明の実施形態 4 の半導体素子搭載基板の断面を示す概要構成図である。

10 【図 5】本発明の実施形態 5 の半導体素子搭載基板の断面を示す概要構成図である。

【図 6】本発明の実施形態 6 の半導体素子搭載基板の断面を示す概要構成図である。

【図 7】本発明の実施形態 7 の半導体素子搭載基板の断面を示す概要構成図である。

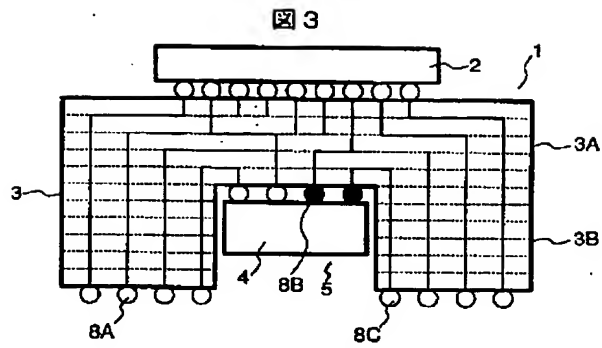
【図 8】従来の半導体素子搭載基板を搭載する回路板の断面を示す概要構成図である。

【図 9】従来の半導体素子搭載基板の断面を示す概要構成図である。

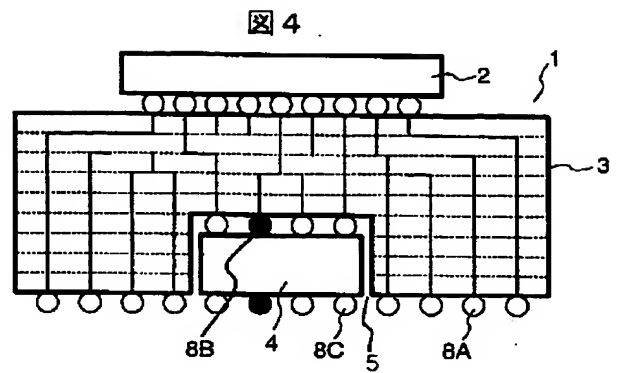
20 【符号の説明】

- 1 半導体素子搭載基板
- 2 半導体素子
- 3 配線基板
- 4 コンデンサ素子
- 5 コンデンサ素子配設用の空間或いは窪み
- 6 第 2 の配線基板
- 9 半導体素子搭載基板を搭載する回路板
- 10 半導体素子搭載基板
- 11 入出力ピン

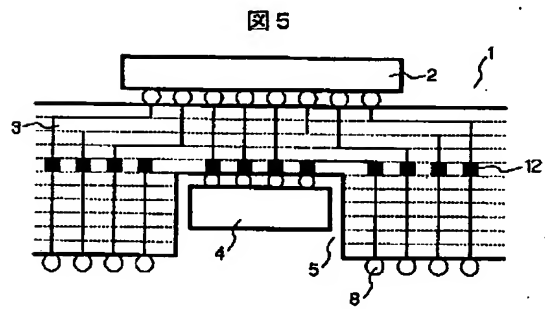
【図 3】



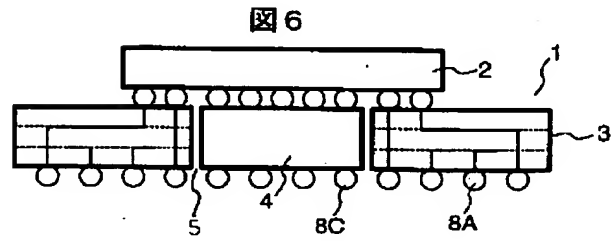
【図 4】



【図 5】



【図 6】



【図 8】

【図 7】

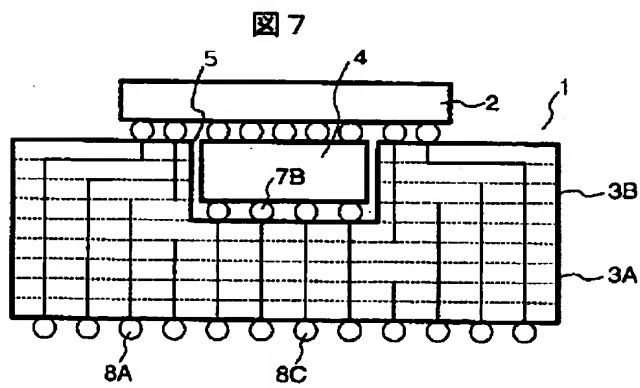
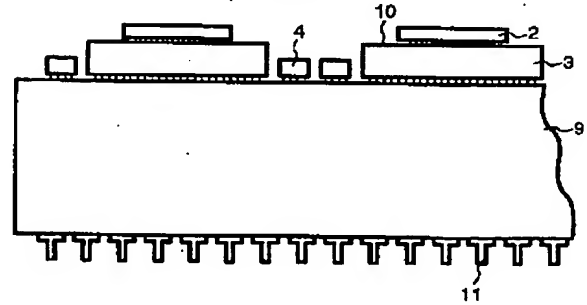
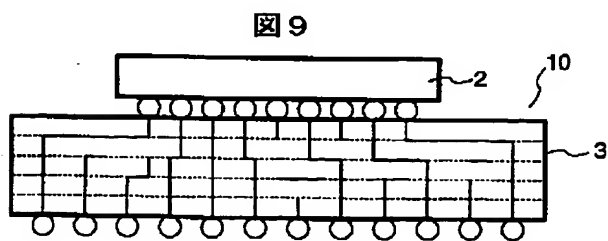


図 8



【図 9】



フロントページの続き

(72) 発明者 千石 則夫
神奈川県秦野市堀山下 1 番地 株式会社日
立製作所汎用コンピュータ事業部内

(72) 発明者 根津 利忠
神奈川県秦野市堀山下 1 番地 株式会社日
立製作所汎用コンピュータ事業部内

(72) 発明者 見間 久智
神奈川県秦野市堀山下 1 番地 株式会社日
立製作所汎用コンピュータ事業部内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.